

PAT-NO: JP409045726A

DOCUMENT-IDENTIFIER: JP 09045726 A

TITLE: STRUCTURE OF SEMICONDUCTOR
DEVICE AND MANUFACTURING
METHOD THEREOF

PUBN-DATE: February 14, 1997

INVENTOR-INFORMATION:
NAME
NAKAJIMA, YASUSHI

ASSIGNEE-INFORMATION:
NAME
COUNTRY
NISSAN MOTOR CO LTD

N/A

APPL-NO: JPU/198693

APPL-DATE: August 3, 1995

INT-CL (IPC): H01L021/60, H01L023/50

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the yield of a semiconductor device by making the wafer thin to reduce the OH-resistance of an element in this device.

SOLUTION: A semiconductor wafer 1 having pad electrodes 5 formed thereon is adhered to a strength-supporting plate 7 having a small thermal resistance and high insulation resistance by a first solder 11 through through-holes 10 and interconnection layers 8 and 9 to connect the wafer 1 to a lead frame electrode 12 through a metal layer 6 formed on the back side of a semiconductor chip 2, and the chip is also connected to another electrode 14 of the lead frame through interconnection layers 8 and 9 and plate 7 by a second and third solders 13 and 15.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45726

(43) 公開日 平成9年(1997)2月14日

(51) Int. Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/60	3 1 1		H 01 L 21/60	3 1 1 Q
// H 01 L 23/50			23/50	S

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平7-198693

(22) 出願日 平成7年(1995)8月3日

(71) 出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 中島 靖志

神奈川県横浜市神奈川区宝町2番地 日産

自動車株式会社内

(74) 代理人 弁理士 中村 純之助 (外1名)

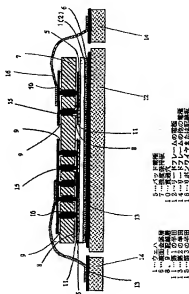
(54) 【発明の名称】 半導体装置の構造及びその製造方法

【課題】

半導体装置における素子のオン抵抗を減少させるため、ウエハの厚さを薄くし歩留りの向上を図る。

【解決手段】 パッド電極5を形成した半導体ウエハ1と、熱抵抗小、絶縁抵抗大なる強度保持板7を複数の貫通穴10、配線層8、9を介して第1の半田11により接着し、半導体チップ2の裏面金属層6を介してリードフレーム電極12と、また強度保持板7と配線層8、9を経てリードフレームの他の電極14と第2の半田13、第3の半田15により接続してなる半導体装置の構造。

(図1)



【特許請求の範囲】

【請求項1】 半導体ウエハ表面の能動領域に少なくとも1個のパッド電極を有し、前記半導体ウエハの表裏方向に電流を流す構造を用いる半導体チップを形成した半導体装置の構造において、
熱抵抗が小さく絶縁抵抗が大なる強度保持板と、
前記強度保持板に穿設され前記パッド電極に対応した複数の貫通穴と、
前記強度保持板の下面に、前記半導体チップのパッド電極に対応して形成した低電気抵抗金属からなる第1の配線層と、
前記強度保持板の上面に、前記複数の貫通穴に対応して形成した低電気抵抗金属からなる第2の配線層と、
前記貫通穴内に充填した低電気抵抗金属充填材により、前記第1の配線層と第2の配線層間の接続、及び、前記パッド電極と対向する前記第1の配線層との電気的接続を行なう第1の接続手段と、
前記半導体チップの下面に形成され、この半導体チップとの間でオーミック接触性を有し、前記接続手段との間に濡れ性を有する真面目金属と、
前記半導体装置を実装すべきリードフレーム、若しくは、モジュールパッケージの電極と、前記真面目金属層を接続する第2の接続手段と、
前記強度保持板の上面において、前記第1、第2の配線層と前記リードフレーム、若しくは、モジュールパッケージの他の電極とを、電気的に接続する第3の接続手段を有することを特徴とする半導体装置の構造。
【請求項2】 半導体ウエハ表面の能動領域に少なくとも1個のパッド電極を有し、前記半導体ウエハの表裏方向に電流を流す構造を用いる半導体チップを形成する半導体装置の製造方法において、
前記半導体ウエハと少なくとも同一形状若しくは同一面積を有し熱抵抗が小さく絶縁抵抗が大なる強度保持板に、前記半導体ウエハ上の半導体チップ及びパッド電極に対応する貫通穴を複数個形成する工程と、
前記強度保持板の片面に前記半導体チップ及びパッド電極に対応して低電気抵抗材料の第1の配線層を形成する工程と、
前記強度保持板の他面に低電気抵抗材料の配線用金属層を形成する工程と、
前記複数の貫通穴内に低電気抵抗材料からなる第1の接続部材を充填し第1の配線層と前記配線用金属層との接続を行なう工程と、
前記パッド電極と第1の配線層を対向させて第1の接続部材により物理的かつ電気的に接着する工程と、
前記半導体ウエハの反強度保持板側面を研削する工程と、
前記半導体ウエハの研削面に裏面電極用の真面目金属層を形成する工程と、
前記強度保持板の半導体ウエハ接着面の反対面を前記配

線金属層を前記半導体チップのパッド電極に対応するようバタニングを施して電気的に分離して第2の配線層を形成する工程と、
前記半導体ウエハ及び強度保持板を半導体チップ単位に分割するダイシング工程と、
半導体素子の実装に用いるリードフレームまたはモジュールパッケージの電極と、前記半導体チップの裏面金属層とを第1接続部材の凝固点より融点の低い第2の接続部材を用いて接着する工程と、
10 前記強度保持板の上面と前記リードフレームまたはモジュールパッケージの他の電極とを、ワイヤボンディングか、第2の接続部材の凝固点より融点の低い第3の接続部材を用いた半田接合か、または、圧着接合かの何れか1つの接合手段により電気的に接続する工程と、を有することを特徴とする半導体装置の製造方法。
【請求項3】 前記半導体ウエハの裏面研削後の半導体ウエハの厚さと同一深さの半導体基体の材料とは異なる物質を埋め込む工程と、
前記半導体ウエハ若しくは半導体チップを前記第1、第2の配線層と接着する工程と、
20 前記半導体ウエハ若しくは半導体チップの裏面研削をケミカルメカニカルポリッシュ法を用いて研削する工程を有することを特徴とする請求項2記載の半導体装置の製造方法。
【請求項4】 前記パッド電極と前記強度保持板の第1の配線層との接着する工程の後に、
前記パッド電極間及び前記配線層間に形成される空間にナフタレン若しくは樟脳からなる昇華性物質を充填した後前記半導体チップを裏面研削する工程と、
30 前記裏面金属層形成前に前記昇華性物質を除去する工程を有することを特徴とする請求項2記載の半導体装置の製造方法。
【請求項5】 少なくとも隣接する前記第1の配線層領域内に設けられ前記配線層材料を除去した部のスリットか、
前記第1の配線層領域と対向する前記強度保持板に設けた凹溝か、
前記強度保持板の第2の配線層形成後に、少なくとも隣接する第1の配線層間の間隙、及びこの間隙と対向する強度保持板の凹部に第1の接続部材と濡れ性が低く、第1の接続部材の融点により変性しない材料を充填するか、若しくは前記パッド電極の周辺位置に、前記材料を用いて均一厚さと所定幅により前記パッド電極を全面被覆しないよう埋植するか、の何れか1つの隔離手段を有し、
前記半導体チップ表面の電極及び第2の配線層と第1の接続部材を用いて接着されていることを特徴とする請求項1記載の半導体装置の構造。
【請求項6】 前記隔離手段は、前記接続部材の融点により変性しない材料としてシリコン樹脂、若しくはポリイ

ミド樹脂を用いたスクリーン印刷によることを特徴とする請求項5記載の半導体装置の構造。

【請求項7】前記半導体ウエハまたは前記強度保持板上に前記ポリイミド樹脂をスピンコートにより形成する工程と、

前記ポリイミド樹脂上にノボラック系ポジフォトレジストを塗布する工程と、

前記ポジフォトレジストにマスクを用いてパターンを露光転写する工程と、

前記ポジフォトレジストの現像液を用いてポジフォトレジスト現像と同時に不要のポリイミド樹脂を除去する工程と、

前記ポジフォトレジストを除去する工程と、を有することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項8】前記半導体ウエハまたは前記強度保持板上に感光性ポリイミド樹脂をスピンコートにより形成する工程と、

前記感光性ポリイミド樹脂にマスクを用いてパターンを露光転写する工程と、

現像液を用いて前記ポリイミド樹脂の不要部分を除去する工程と、を有することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項9】前記半導体装置に使用する第1、第2、第3の各接続部材と、前記半導体装置と接続される外部回路の組立に用いる第4の接続部材の材料は、以下の性状を有することを特徴とする請求項2記載の半導体装置の製造方法。

第1の接続部材の融点<第1の接続部材の凝固点>第2の接続部材の融点<第2の接続部材の凝固点>第3の接続部材の融点<第3の接続部材の凝固点>第4の接続部材の融点<第4の接続部材の凝固点>

【請求項10】前記強度保持板上の全ての金属層及び前記半導体チップ上のパッド電極及び金属層は、少なくとも前記接続部材が拡散する位置にニッケル膜層を有することを特徴とする請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に係り、半導体ウエハの表裏の双方を電極として利用する大電力の制御に用いられ、特に、低消費電力を要求される半導体装置の構造及びその製造方法に関する。

【0002】

【従来技術】上記の半導体装置として、バイポーラランジスタやサイリスタ、DMOS、IGBT等があるが、何れも半導体装置の動作抵抗、いわゆる、オン抵抗の低減による消費電力の低減化が要求されている。半導体装置において、その実装後の断面模式図を図17に示す。同図において、

Rw：ボンディングワイヤー100の抵抗

RM：半導体装置表面のパッド配線5部分の抵抗

Ra：半導体装置の能動領域部分4の抵抗

RSi：ウエハ内の基板領域3の抵抗

RM'：裏面金属電極6の抵抗

RS：半田11の抵抗

RF：リードフレーム12の抵抗である。

実装後の半導体装置のオン抵抗値は、上記の各成分抵抗値の合計であるが、RaとRSi以外は全て金属でありまた構造上必須のものであり、またRaが半導体装置の

動作のために当然存在するものであるのに対して、基板領域3は寄生的に抵抗成分RSiとして素子の電流経路に存在していることが分かる。特に電力用半導体装置では基板領域3が低抵抗のウエハを用いるが、金属と比較すれば桁違いに高抵抗でありかつ熱伝導率も劣る。従ってオン抵抗の低減化ひいては低消費電力化を図るためには、基板領域を可能な限り薄くしてRSi成分を減少することが残された方策である。従来半導体装置を実装する方法としては広く一般的に用いられている半導体ウエハの裏面を研削加工し、チップに分割してリードフレームに接着した後、チップ表面のパッドとリードフレーム上の端子との電気的接続をワイヤボンディングにより行う方法がある。

【0003】

【発明が解決しようとする課題】上記従来技術では、研削加工により、極力薄く形成したウエハを取扱うこととなるため、近年のウエハサイズの増大に伴いウエハの厚さが薄くなると、図18に示すように歩留まりの低下が著しい。さらに、電力用半導体装置は近年取扱い電力を増大させるために、1チップ当たりの面積が増加する傾向にあり、チップでの破壊が問題となっている。しかし、チップの面積が増大すると、チップの破壊防止のため、チップ厚の減少化が求められるにも関わらず、チップ破壊防止の見地からは、ウエハ厚さは大きい方が取扱いに有利であり、基板の抵抗成分RSiと厚さは、いわば、二律背反の関係となっているのが実情であった。本発明は、半導体装置における素子のオン抵抗を減少させるため、ウエハの厚さを薄くし歩留りの向上を図るに好適な半導体装置の構造及びその製造方法を提供することを目的としている。

【0004】

【課題を解決するための手段】上記の課題を解決するための手段は、表裏に電流を流す構造を有しかつ表面の大半の部分を能動領域とし、この能動領域面に、機能の異なる複数のパッド電極を有する半導体チップが主面上に形成された半導体ウエハの構造及びチップの実装を含む製造方法に関する技術である。第1は、表裏に電流を流す構造を有しかつ表面の大半の部分を能動領域とし、前記能動領域のある表面に機能の異なる複数のパッド電極を有する半導体チップが主面上に形成された半導体チップの構造であって、低抵抗でありかつ高地線抵抗

5

を有する強度保持板上に前記半導体チップ上のパッド電極に対応した数量の貫通孔が一つ若しくは複数形成され、前記配線強度保持板の下面に半導体チップのパッド電極に対応した形状及び数量の低電気抵抗の金属材料からなる配線層が形成され、前記強度保持板の上面に、前記強度保持板の貫通孔に対応した形状及び数量の低電気抵抗の金属材料からなる配線層が形成され、前記強度保持板の貫通孔内に低電気抵抗の金属材料が充填されて表裏のそれぞれ対応した前記配線層が電気的に接続される。

【0005】薄く研削され、裏面に半導体と良好なオーミック接触性を示しかつ半田と濡れ性を示す金属層を有する前記半導体チップのパッド電極と、前記強度保持板上の下面の配線層とを対向させ、両者が物理的かつ電気的に半田を用いて接着され、前記半導体チップの裏面の金属層と半導体素子の実装に用いるリードフレームの1つの電極とが半田を用いて接着され、前記強度保持板の上面の各配線層にリードワイヤが半田を用いて接続され、前記リードフレームの他の電極に前記リードワイヤがそれぞれ接続されてなる構造である。

【0006】第2に、前記半導体装置の構造の製造方法は、前記半導体チップが形成された半導体ウエハと同一形状若しくはそれ以上の面積を有し、比較的到低抵抗、高絶縁抵抗を有する強度保持板上に前記半導体ウエハ上の各チップ及び電極に対応する微細な貫通孔を複数形成する工程と、前記強度保持板の半導体ウエハ接着面側に半導体ウエハ上のチップ及び電極に対応した形状及び数量の低電気抵抗材料からなる配線層を形成する工程と、前記強度保持板の直上の反対面に低電気抵抗材料からなる配線用金属層を形成する工程と、前記強度保持板の貫通孔内に第1の半田を充填することにより表裏の配線層の電極と貫通孔を電気的に接続する工程と、前記チップのパッド電極と前記強度保持板上の配線層とを対向させて両者を物理的かつ電気的に第1の半田を用いて接着する工程と、前記半導体ウエハを露出している裏面にから研削する工程と、前記半導体ウエハ裏面の研削面に裏面電極用の金属層を形成する工程と、前記強度保持板の半導体ウエハ接着面の反対面の前記配線金属層を半導体ウエハ上の各チップの電極に対応するようパターンニングを施して電気的に分離した配線層とする工程と、前記半導体ウエハ及び強度保持板をダイシングによりチップ単位のダイスに分割する工程と、前記半導体チップの裏面の金属層と半導体素子の実装に用いるリードフレームの電極内の1つの電極を第1の半田の凝固点より融点の低い第2の半田を用いて接着する工程と、前記強度保持板の上面に露出する各配線層と前記リードフレームの他の電極とをそれぞれ電気的に接続する工程を有する製造方法である。

【0007】第3は、前記製造方法における半導体装置の高品質化を図るものであって、前記半導体ウエハ若しくは半導体チップを前記強度保持板上の配線層と接着す

6

る工程以前に、研削後のウエハ厚さと同じの深さに、半導体基体の材料とは異なる物質を埋め込んでおく工程を付加し、前記半導体ウエハ若しくは半導体チップを前記強度保持板上の配線層と接着する工程の後、前記半導体ウエハ若しくは半導体チップの裏面研削工程をケミカルメカニカルポリッシュを施す工程を有する製造方法である。

【0008】第4は、前記半導体ウエハ上のチップ表面の電極及び前強度保持板上の配線層との接合後、前記電極間及び配線層間により形成される空洞に、ナフタレン若しくは樟脳からなる昇昇性物質を充填した後、チップ裏面に研削加工を施し、裏面金属形成前に前記物質を除去する製造方法である。

【0009】第5は、前記強度保持板上の複数の配線層がそれぞれ面内で少なくとも隣接する領域に、前記配線層領域内に配線層材料を取り除いたスリットを設けるか、若しくは前記配線層領域内の強度保持板に凹溝を設けるか、若しくは前記強度保持板上の配線層形成後に、前記配線層が相対する強度保持板上の領域に、第1の半田と濡れ性が低く、半田の融点により変性しない材料を形成するか、若しくは前記ウエハ上のパッド電極の周辺若しくは強度保持板上のパッド電極の周辺に相当する位置に第1の半田との濡れ性が低く、第1の半田の融点に変性しない材料を均一な厚さにパッド電極を全面被覆しない幅の帯状に形成され、前記チップ表面の電極及び前記強度保持板上の配線層とが第1の半田を用いて接着されてなる構造である。

【0010】第6は、前記半田の融点により変性しない材料がシリコン樹脂で、スクリーン印刷により形成する半導体装置の構造または製造方法である。

【0011】第7は、前記半導体装置の構造または製造方法において、変性しない材料がポリイミド樹脂であり、前記の形成法を用いるか、若しくはウエハあるいは強度保持板上に前記ポリイミド樹脂をスピンコートにより形成しさらにノボラック系ポジフォトレジストを塗布してからマスクを用いてパターンを露光転写する工程と、ポジフォトレジストの現像液を用いて前記ポジフォトレジストの現像と同時に不要ポリイミド樹脂を除去した後、前記ポジフォトレジストを除去する工程を順次実行するか、若しくは前記配線材料が感光性ポリイミド樹脂であり、ウエハまたは強度保持板上に前記ポリイミド樹脂をスピンコートにより形成し、マスクを用いてパターンを露光転写した後、現像液を用いて前記ポリイミド樹脂の不要部分を除去する工程を順次実行する製造方法である。

【0012】第8は、前記半田材料の融点および凝固点が、本発明に係る半導体装置が接続される外部回路の組立に用いられる第4の半田と比較して、第1の半田の融点 \geq 第1の半田の凝固点 $>$ 第2の半田の融点 \geq 第2の半田の凝固点 $>$ 第3の半田の融点 \geq 第3の半田の凝固点 $>$ 第4の半田の融点となる関係を満足するものとする製造

方法である。

【0013】第9は、前記強度保持板上の全ての金属層、及び半導体チップ上の電極及び金属層が、少なくとも、半田が拡散する位置にニッケル膜層を有するように構成した製造方法である。

【0014】上記の構成によれば、リードフレームの電極上に接着されたチップは、その上の強度保持板の接着面を兼ねる配線層に接着され保持されているので、チップの強度を考慮することなく、極限までその厚さを薄くすることができ、これまで寄生部分として存在していた半導体部分が除去されて半導体装置のオン抵抗を大きく低減することができ、同時に熱容量も低減できるので放熱性も大きく向上する。また、強度保持板には貫通孔を設け低電気抵抗の金属材料若しくは半田で埋め込む構造とし、表裏に設けた配線層を電気的に接続しているため、半導体チップの表面を強度保持板に接着しても、半導体チップ上のパッド電極との電気的接続を強度保持板上の配線層を介して電気抵抗の低下を図ることができ、加えて強度保持板上の配線層表面にニッケル層を形成しているため、従来のワイヤボンディングも可能であるほか、半田との濡れ性が良好であることから、電力用素子の電気的接続に好適な低抵抗のリボンワイヤやビームリード状の断面積の大きな接続材料の接続に半田を用いることができ、接続工程が容易となる。さらに強度保持板に貫通孔を設けて電気的接続を行なう構成であるから、チップ裏面の研磨をウエハ単位で行なうことができ、大量の同時処理が可能であり、実装チップ厚の減少について、チップ単位で研磨を行なう場合と比較してチップの角隅部が露出しないから、チップの破損を防止することができ歩留りが向上する。

【0015】さらに、本発明の第10は、前記半導体チップを前記強度保持板上の配線層と接着する工程以前に、研磨後のウエハ厚さと同一の深さの半導体基体の材料とは異なる物質を埋め込んで、裏面研磨加工をケミカルメカニカルポリッシュにより実施するようにしたので、研磨加工量の目安を、前記物質の部分までとすることができ、研磨後のウエハ厚を前記物質の埋込深さの寸法に決定することができ、正確かつ均一な研磨厚が得られ、チップ厚さのバラツキに起因する素子特性の変動を防止することができる。また、前記半導体ウエハ上のチップ表面の電極及び前記強度保持板上の配線層との接着後、前記電極間及び配線層間により形成される空洞に、ナフタレン若しくは揮発性となる昇昇性物質を充填した後チップ裏面の研磨工程を施し、裏面金属形成前にこの物質を除去するようにしたので、空洞を昇昇性物質が支えるため研磨時の圧力による空洞部でのウエハの破損を防止でき、加熱により容易に除去できるため後工程に悪影響を与えることはない。

【0016】さらに前記強度保持板上の複数の配線層が、それぞれ面内で少なくとも間接する前記配線層領域

内に、この配線層材料を除去したスリットを設けるか、若しくは前記配線層領域内の強度保持板に凹溝を設けるか、若しくは前記強度保持板上の配線層形成後に、前記配線層が相対する強度保持板上の凹溝に、第1の半田と濡れ性が低く、半田の融点により変性しない材料を形成するか、若しくは前記ウエハ上のパッド電極の周辺、若しくは強度保持板上のパッド電極の周辺に相当する位置に第1の半田と濡れ性が低く、均一な厚さを有し、第1の半田の融点により変性しないパッド電極を、全面的には被覆しない幅をもって形成され、ウエハと強度保持板との接着時に界面の半田が不均一に存在した場合に、半田のはみ出しにより、電極間が短絡するのを防止することができる。さらに半田と濡れ性が悪くかつ半田の融点に変性しない材料の形成位置はチップのパッドレベルの合わせ程度の寸法精度でよいので、シリコン樹脂であればスクリーン印刷により、均一な塗布処理を容易に行なうことができ、原価低減に好適である。また半田と濡れ性が低く、半田の融点により変性しない前記材料がポリイミド樹脂であるならば前記の形成法の場合、ウエハ1若しくは強度保持板7にスピコートにより形成した後、ネガフォトリソを用いたフォトリソグラフィにより精密なパターンが容易に形成できる。

【0017】さらに前記の各半田材料の融点および凝固点が、本発明に係る半導体装置を接続する外部の回路の組立に用いる第4の半田と比較して、第1の半田の融点 \geq 第1の半田の凝固点 $>$ 第2の半田の融点 \geq 第2の半田の凝固点 $>$ 第3の半田の融点 \geq 第3の半田の凝固点 $>$ 第4の半田の融点、となるよう半田を選択することにより、前工程で形成した構造を後工程で破損することがない。さらにまた、前記強度保持板上の全ての金属層、および半導体チップ上の電極は、少なくとも、半田が付着する位置にニッケル膜層を形成しておくようにしたので、半田との濡れ性を確保しながら半田の拡散を防ぐことができ、工程の容易化と半田の拡散による素子の劣化を防止することが可能となる。

【0018】

【発明の実施の形態】

【実施の形態1】以下本発明を図面を用いて詳細に説明する。なお、実施の形態1として示す図は、実施工程の説明を容易にするために縦及び横の寸法をデフォルメしており、実際の寸法比と必ずしも一致するものではない。また発明の実施の形態において用いる膜厚等の数値は実施上の一例を示すものであって、下記の数値に限定されるものではない。

【0019】図16は、本発明が適用される半導体装置を示す斜視図である。実施の形態1は、半導体装置としてチップの表面側にゲートとソースの2つの電極を有し、裏面側にドレイン電極1つを有する電力用縦型MOS電界効果トランジスタを例示する。シリコンウエハの一面上に、要求される仕様に従って形成された能動

10

混合物、若しくは、雲母により代表されるグラファイト、ベリリウム、イットリウム及びバリウム及び銅からなる酸化物超伝導材料、ダイヤモンドなどの各材料のうち、何れか1または2つ以上の組合わせからなる材料を用いて強度保持板7を構成する。

【0023】続いて、図3に示すように、強磁性保持層の片面に、半導体元素A上1の各チップ2及びバッド3の両方に対した片数と数量を異なる基底紙の10 μ m厚の銅の配線層8を敷着、若しくは無酸素メッキ、若しくは銅箔の貼付により形成し、この銅の層面にメッキして塩化2族等のエッチング液で、パターンニングするか、若しくは、パターンを形成した銅層を貼付するか、若しくは、物理的にマスキを通して蒸着する方法、若しくは、このスクリューフォトリソレジストで形成したリソパ
30 オ法により選択的に蒸着する方法、若しくは、金属パ
ターンを形成する方法、若しくは、両面バ
ッドにより選択的にメッキする方法、のうち何れか1つ
は2つ以上の組み合わせを用いることにより、バッド
極5の形成に対応させ、図3の状態で形成する。

【0024】次に、図4に示すように、配線層8を形成した半導体ウエハ1との接着面として、さらに、保護保持層7上の配線層8と対向面に、低抵抗の10nm厚の銅の配線層18を、蒸着、若しくは無電解メッキ、若しくは焼着の貼付、若しくは銅ペーストを印刷接着することにより形成する。次に、配線層8の表面に厚さ100nmの銅のバンプ層及び厚さ2μmの銀層を、メッキ、若しくは蒸着により形成し(図示せず)、配線層8の酸化を防止すると共に半田との濡れ性を改善する。また、保護保持層7の真直径10mm内、後の工程にて用いる半田浴より高温の電気を流す第1の半田11を充てて配線層8と配線層18の接続を行なうと共に、図4に示すように、半導体ウエハ1上側の半田4と強固に保持層7上の配線層8とを対向させて、第1の半田11を用いてバット電圧5と配線層8を物理的かつ電気的に接続する。

10

20

30

40

50

12

【0029】チップを何らかの基板に接着した後、露く研削する工程として特開平2-31437号公報に開示された技術が実用化されている。これは、図19に示すように、チップ2上の電気回路と外部電気回路との接続を行なうための配線パターン101を形成した絶縁基板102上、半田パッド103を用いて半導体チップ2と配線パターン101とをフェーズダウンして電気的接続を行ない、さらに半田パッド103を用いたことによ

【0303】**【実施の形態2】**本発明に係る半導体装置の構造と製造工程は、ウエハ1を薄く研削し研削時の破壊防止及び電極間の短絡防止を図る上で、性能上のキー

14

【0035】実施形態3から実施形態8までの半田1を用いて、図2に示す5本の配線線路8に半田4を接着する際に、半田1の半田11の供給量が部分的に偏ったこと、半田1の半田11が所定の領域からはみ出ること、配線線路8が短絡しやすくなるのを防止しようとするのである。図2のように、図2に示す配線線路5の複数の配線線路8が、少なくとも互いに隣接する面領域内に、それぞれスリット24を設けて配線線路材料を除去し、スリット24を半田留まりとして余剰の半田1の半田11を吸収させる。また図13のように、配線線路8の前記領域Aと対向する面領域保持壁7上に凹溝25を設けて凹溝内に半田1を吸収させる。また図14のように、隣接する半田1

40 第1の半田の融点 \geq 第1の半田の凝固点 \geq 第2の半田の
融点
の関係とすると、半田の溶融時間の改善により、前工程
で形成したウエハの構造を維持することが可能となるわ
けであるが、これに加えて、
第2の半田の融点 \geq 第2の半田の凝固点 $>$ 第3の半田の
融点 \geq 第3の半田の凝固点 \geq 第4の半田の融点
の関係を満たすように、半田材料を選択しそれぞれの
50 工程における温度を前記の通りに設定すると、前工程に
おいて形成したウエハ構造を破壊することなく、かつ、
半田の溶融時間内に存在する半田をすべて明確に溶融させ置

16

1と2の濡れ性が低く、半田の濡点に変性しないシリカ28を形成して半田に対する遮蔽機能を持たせるか、若しくは、強度保持板7上のパッド電極5の周辺に相当する位置、またはウエハ1上のパッド電極5の周辺に均一な厚さでパッド電極が全面的には被覆されない幅のバリア28を形成することにより、パッド電極5間が、半田による短絡が防止されるのみならず、バリア28を用いる場合には、ウエハ1と強度保持板7の間隔が、半田により左右されないからウエハ1の新研削厚を面内にてさらに均一にする効果がみられた。

10 均一にする効果がみられた。

【0045】また、上記材料28がシリコン樹脂であればスクリーン印刷を用いた形成法の適用が可能で、極めて簡単に大量製造を行なうことができる。パラ28がポリイミド樹脂であるならば、前記第1の形成法によるか、若しくはウェハ1または強度保持板7上にポリイミド樹脂をスピンドコートにより形成し、さらにノボラック系ポフトラジストを塗布してから、マスクによりパターンを露光転写する工程と、ポフトラジストの現像液を用いて前記ポジトラジストの現像（同時に不要のポリイミド樹脂を除去した後）前記ポジトラジストを除去する工程を順次実施するか、若しくはパラ28が感光性ポリイミド樹脂であるならば、ウェハ1または強度保持板7上に前記ポジトラジストをスクリーンコートにより形成しマスクを用いてパターンを露光転写した後、現像液を用いて前記ポリイミド樹脂の不要部分を除去するという通常の半導体におけるジスト工程と同様の工程で精密なパターンを容易に形成することができる。

【0046】前記の半田材料の選択になつて、それ
30 れの工程の温度を前記のように設定することにより、前
記の半田材料の融点より半田塗布温度を高くし、
かつ半田の溶融時間によらず、半導体接合構造を形成す
ることができ、工程設計の自由度を向上させ、強度保
持板7上の全ての電極層、及び半導体ウエハ1上の電極
層の、少くとも半田が拡散する位置にニッケル膜層を形
成しておくことにより、半田に対する溶融層が形成され
るのみならず、半田の拡散防止のためのバリアになる
ので、素子が重金属汚染されることなく信頼性の向上が図
られた。

40 【0047】
【発明の効果】本発明の実施により、半導体素子のオン抵抗が減少し、半導体チップの研削時に伴う半導体ウェハの薄肉化が可能となり、加工歩留りの向上と、半導体装置の品質と信頼性の向上が図られた。

【図面の簡単な説明】
 【図１】本発明に係る半導体装置構造の実施の形態１を示す断面図である。
 【図２】本発明に係る半導体装置構造の実施の形態１の製造工程図である。
 【図３】本発明に係る半導体装置構造の実施の形態１の

製造工程図である。

【図4】本発明に係る半導体装置構造の実施の形態1の製造工程図である。

【図5】本発明に係る半導体装置構造の実施の形態1の製造工程図である。

【図6】本発明に係る半導体装置構造の実施の形態1の製造工程図である。

【図7】本発明に係る半導体装置構造の実施の形態1の製造工程図である。

【図8】本発明に係る半導体装置構造の実施の形態2の製造工程図である。

【図9】本発明に係る半導体装置構造の実施の形態2の製造工程図である。

【図10】本発明に係る半導体装置構造の実施の形態2の製造工程図である。

【図11】本発明に係る半導体装置構造の実施の形態2の製造工程図である。

【図12】本発明に係る半導体装置構造の実施の形態3の表面図である。

【図13】本発明に係る半導体装置構造の実施の形態3の断面図である。

【図14】本発明に係る半導体装置構造の実施の形態3の断面図である。

【図15】本発明に係る半導体装置構造の実施の形態3の表面図である。

【図16】本発明が適用される半導体装置の外観を示す斜視図である。

【図17】従来技術の半導体装置構造の模式図である。

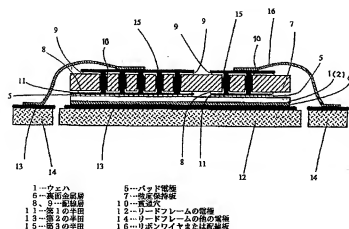
【図18】従来技術のウエハの研削加工厚と歩留りの関係を示す図である。

【図19】従来技術の半導体装置の研削工程を示す断面図である。

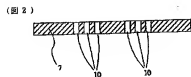
【符号の説明】

- | | |
|----------------------------|-------------|
| 1…ウエハ | 2…チップ |
| 3…バルク領域 | 4…能動領域 |
| 5…パッド電極 | 6…裏面金属層 |
| 7…強度保持板 | |
| 8…強度保持板上のパッド電極と接着する配線層 | |
| 9…強度保持板上の配線層と反対面の配線層 | |
| 10…貫通穴 | 11…第1の半田 |
| 12…リードフレームの電極 | 13…第2の半田 |
| 14…リードフレームの他の電極 | 15…第3の半田 |
| 16…リボンワイヤまたは配線板 | 17…ナフタレン |
| 18…パターニング前の金属層 | 19…スクライプライン |
| 20…トレンチ | 21…誘電体 |
| 22…誘電体層 | 23…金属シリサイド層 |
| 24…配線層内のスリット | 25…配線層内の凹溝 |
| 26…間隙 | 27…窪み |
| 28…半田との濡れ性が低く半田の融点に変性しない材料 | |
| 100…ボンディングワイヤ | 101…配線パターン |
| 102…配線パターン | 103…半田バンプ |
| 104…エポキシ樹脂 | |
| 105…ダイヤモンドホイール | |

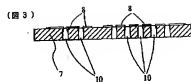
【図1】



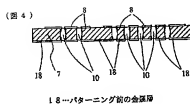
【図2】



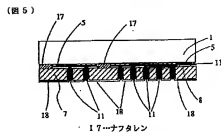
【図3】



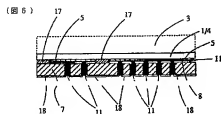
【図4】



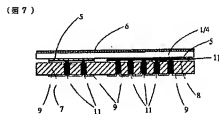
【図5】



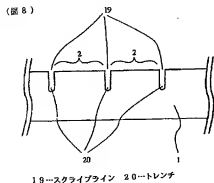
【図6】



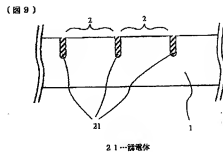
【図7】



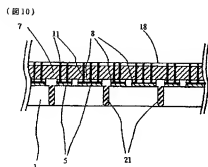
【図8】



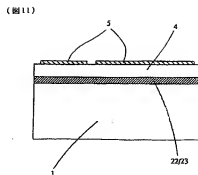
【図9】



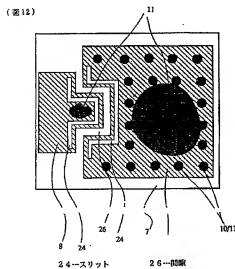
【図10】



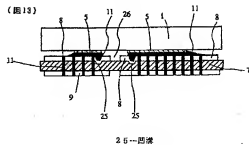
【図11】



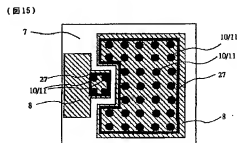
【図12】



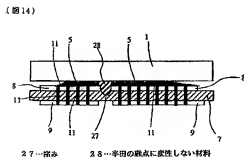
【図13】



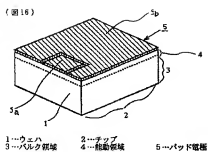
【図15】



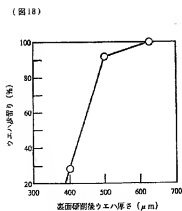
【図14】



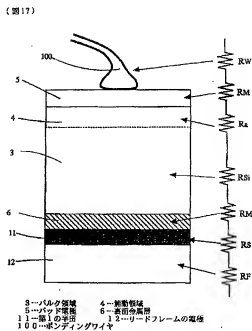
【図16】



【図18】



【図17】



【図19】

